AN90030

ハーフブリッジ・トポロジーにおけるNexperia製GaN FETの並列接続

改訂版2.0—2021年10月19日　　アプリケーション・ノート

ドキュメント情報

情報	コンテンツ
キーワード	NX-HB7000EV、GaN FET、TO-247、ハーフブリッジ、コンバータ、並列接続、回路設計、PCBレイアウト
概要	本アプリケーション・ノートではNexperia TO-247 GaN FETをハーフブリッジ構成で並列接続する回路設計とPCBレイアウトの推奨事項を解説します。

1. はじめに

インバータ、電源、オンボード・チャージャーなど、現代の電力変換システムにおいて、GaN FETはますます重要性を増しています。多くのアプリケーションでは下の図1に示すようなハーフブリッジが基本構成要素となっています。

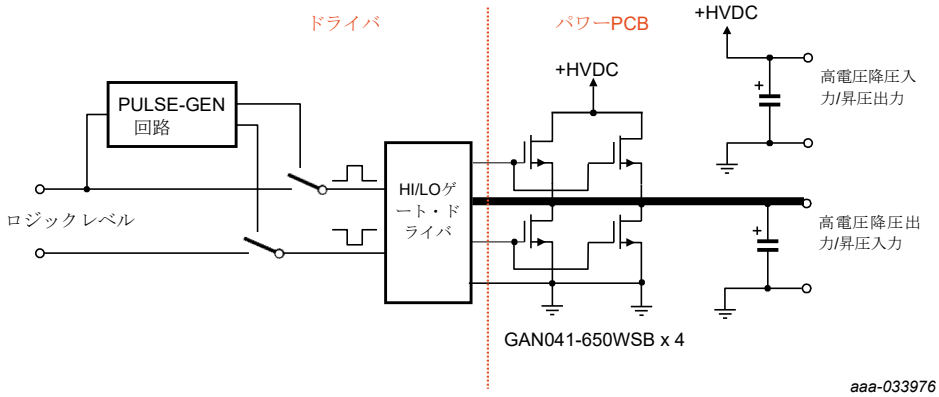


図1： ハーフブリッジで並列接続されたGaN FETの機能ブロック・ダイ

増加しつつある大電力アプリケーションで求められる電力レベルを実現するため、複数のGaN FETを並列に接続する設計が多くなっています。

このようなシステムでGaN FETを使用する際、大電流かつ高速スイッチングの組み合わせが可能ですが、組み合わせることによって設計上の課題が生じることもあります。本書ではその点について考察していきます。

主な問題の1つはGaN FET間の電流シェアリングとそれに伴うスイッチングの安定性です。本書では誘導性負荷を駆動するハーフブリッジのハイサイドとローサイドに使用するリード付きTO-247 GaN FETの効果的な並列接続方法を紹介します。

GaN FETの並列接続では、当然ながら個々のデバイスにおいて信頼性や寿命の低下につながる過剰な電力損失を防ぐために、電流を均等に分配することが非常に重要です。また、過剰な発振がなく、安定したスイッチングを行うことも非常に重要です。発振が発生すると、スイッチング損失が許容範囲以上に高くなるためです。

2. 電流シェアリングのハーフブリッジ・トポロジー

本アプリケーション・ノートではハーフブリッジ試験回路のハイサイドとローサイドの両方にGAN041-650WSB [1] GaN FETを2つずつサイド・バイ・サイド構成で並列接続しました。この構成には以下の設計上の利点があります。

- スイッチング・ノードがコンパクトになる
- 電流フロー経路を最適化できる

さらに、ゲート・ドライバを別基板にしているため、以下の利点があります。

- ゲート・ドライバ間が短くなり、均衡が取れる

有効なインピーダンス経路を可能な限り一致させるうえで、対称性も重要な要素になります。

本書に記載されている内容は法的な免責事項の対象となります。
©Nexperia B.V. 2021All rights reserved

3. ゲート・ドライバ設計における考慮事項

本書では並列接続したGaN FETに共通のゲート・ドライバを使用します。そのため、ゲート・ドライブ間のループを短くするという一般的な要件のうえに、スイッチング動作の一致というニーズに対応しなくてはならず、問題が複雑です。ゲート・ドライブ間のループが最高の性能を発揮するのは並列接続された各デバイスのパス長（実効インピーダンス）が等しい場合です。

ドライバをゲートになるべく近い場所に置き、トラック長を短くすることで、次のような利点が得られます。

- リニア設計で電流を均等に分配できる
- ゲート・トラックの長さが等しくなる（図2の赤い四角で囲んだ部分）。

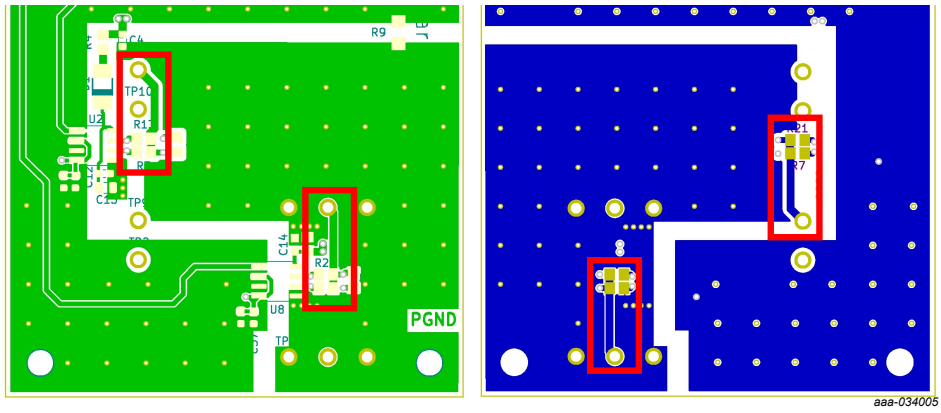


図2： ゲート・ドライバPCBトラック長

設計上のベストプラクティスはドライバをGaN FETと同じ基板上に配置し、ソース端子とドライバ間のインダクタンスを可能な限り低減させることです。

しかし設計、配置、パッケージングなどの制約によりそれが難しい場合やドライバ基板の分離が余儀なくされる場合もあります。そのような場合は短い幅のトラックを使用するか、理想的には両方の基板に複数のシグナル・プレーンを使用して基板間に大型のゲージ端子をハンダ付けするとよいでしょう。そうすることにより、GaN FETのソース端子とドライバ間のインダクタンスをできるだけ低くすることが可能です。ゲート・ソース間のループでプラグやソケットなどのハンダ付けされていないコネクタはインダクタンスを増大させ発振のリスクも高めるため、使用をお勧めしません。

また、ゲート信号品質を高めるため、ソース・ピンとドライバ間は主電流が流れない「静かな」グランド接続とするとよいでしょう。

3.1. ゲート・ドライバICにおける考慮事項

ほとんどの設計においてコントローラ、パワー・エレクトロニクス、ドライバの間に絶縁トランスを使用することが標準要件であるため、絶縁型ドライバICはパッケージング上の利点があります。

今回、ハーフブリッジ試験回路に使用したゲート・ドライバICはSilicon Labs社製Si827xシリーズのSi8271[2]です。

このゲート・ドライバは以下の特長を備えています。

- 高いdv/dt耐久性：200 kV/μs CMTI
- 完全に絶縁
- 高出力ソース/シンク電流

他社製のゲート・ドライバICにも同様の特長が備わっているものがあります。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

3.2. ゲート・フェライトビーズと抵抗

スイッチング時のdv/dtが非常に速いため、ハーフブリッジ試験回路で発振する可能性が高くなり、その結果、非常に短期間でデバイスの損傷や故障が発生するリスクが増大します。しかし、GaN FETとの接続に用いるゲート・フェライトビーズと抵抗を慎重に選ぶことにより、発振の可能性を最小限に抑えることができます。

GAN041-650WSBはフェライトビーズが組み込まれていない無いため、設計者にとって最適な部品を選択する自由度の高い製品だといえます。Nexperia GAN041-650WSBのデータシート[1]に記載されているように、推奨のフェライトビーズは村田製作所製BLM18AG221SN1Dです。このフェライトは100MHzで220Ωのインピーダンス（代表値）を持ち、ハーフブリッジ試験回路におけるゲート回路の不安定性を抑制するのに極めて効果的です。

フェライトビーズと同様に、ゲート回路の抵抗値もスイッチング安定度に大きな影響を与えます。Nexperiaは15Ωのゲート抵抗で初期安定性テストを実施することを推奨しています。ただし、最終的な値は使用するドライバとそれぞれの電流ソース/シンクの能力に依存します。

今回のハーフブリッジ試験回路ではドライバのアクティブハイ出力とロー出力にそれぞれ15Ωと7.5Ωの抵抗が接続されています。

各ゲートにフェライトビーズを1つずつ直列に配置する必要がありますが、ドライバ出力に使用するゲート抵抗は1つのみです。回路の詳細は図21と図26をご覧ください。

4. DCバス・スナバとデカップリング

高電圧プレーンとグランド・プレーンの間にはDCバス・スナバを接続する必要があります（スパイク電圧をしっかり抑制しないと大電圧オーバーシュートが発生します）。配置する位置は各GaN FETにできるだけ近づけます。一般的には10Ωの抵抗と10nFのコンデンサを直列に接続したDCバス・スナバを使用します。

また、10nFと100nFのデカップリング・コンデンサをGaN FETにできるだけ近づけて高電圧プレーンとグランド・プレーンの間に接続します。図3と図4を参照してください。

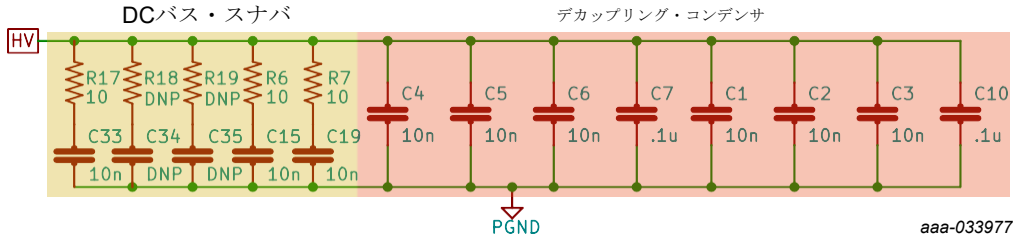


図3： バス・スナバRCネットワークとデカップリング・コンデンサの回路

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

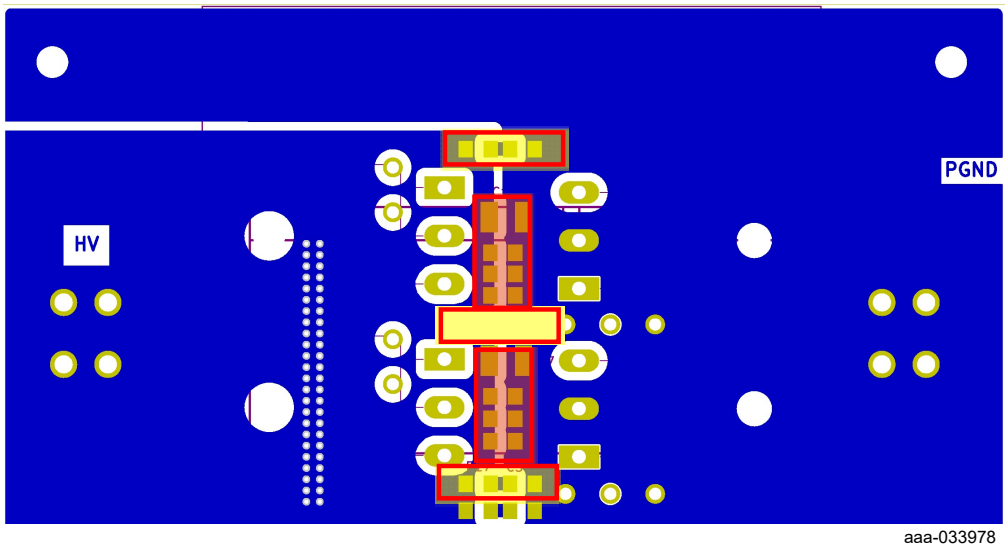


図4： バス・スナバRCネットワークとデカップリング・コンデンサのPCBレイアウト

4.1. スイッチング・ノード・スナバ

スイッチング・ノード・スナバは高いスイッチング電流で最大の安定性を得たい場合のみ推奨します。スイッチング損失の増加につながるため、使用を推奨するのは総電力に対して損失が占める割合が非常に小さい高電力レベルの場合のみです。

ハーフブリッジ試験回路ではDCバスとスイッチ・ノード間、スイッチ・ノードとグランド間に複数のスナバを配置していますが、スイッチングの安定と優れたスイッチ・ノード電圧オーバーシュート制御とダンピングを達成するうえではいずれも不要です。

4.2. 熱に関する考慮事項

カスコードGaN HEMTのR_{DSon}は正の温度係数を持っています。GaN FETの$V_{GS(th)}$は負の温度係数を持っています。ジャンクション温度の高いデバイスが先にオンするため、多めの電流を流します。しかし、GaN FETは熱の分布が均一になるように取り付けられているため、デバイス間の電流分担も均一になります。そのため、GaN FETを並列接続する場合はヒートシンクがしっかり機能し、特に断らなくても互いに熱的に非常によく接続されていることが重要です。

5. 電流シェアリングを最適化するレイアウト

テストの結果、電流と負荷の経路に合わせてデバイスを配置し、入出力の距離を対称に保つことで、電流シェアリングを改善できることが示されました。

バランスの良い銅箔・プレーンを使うと電流経路は大きく改善します。バランスの良い動作をさせるには図5のように、並列接続したデバイスを負荷と電力に直結させ、電流ループをできるだけ小さくするレイアウトにします。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

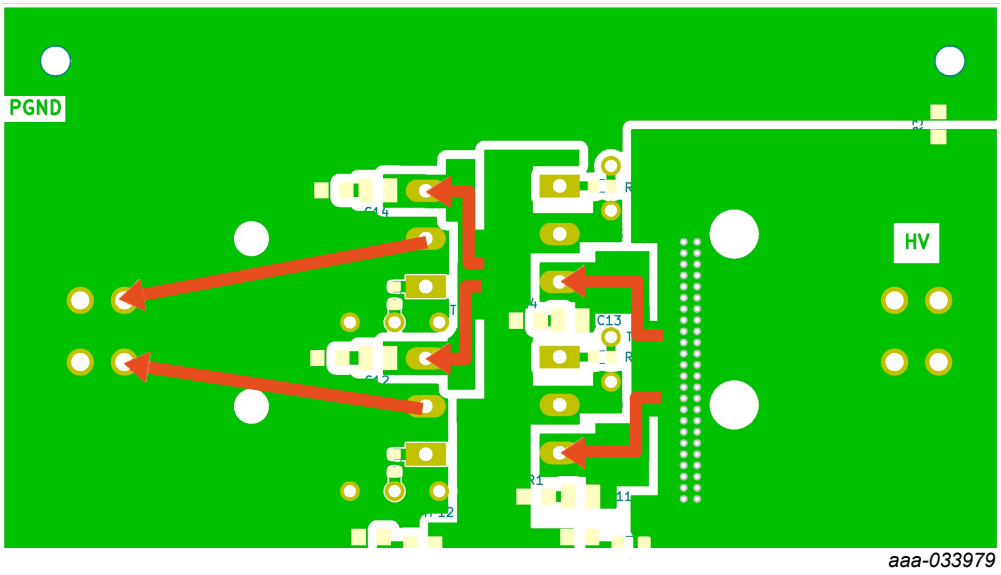


図5： PCB電流経路

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

6. シングルショット階段テストで捉えた波形

このセクションでは100kHzで7つのパルスでシングルショット階段テストを行った結果を示します。400Vに設定されたBUS電圧にインダクタを接続し、ローサイドGaN FETに電流が流れ、ハイサイドGaN FETで再循環します。各パルスの幅は1.9 μsで、インダクタのピーク電流は114Aです。

オシロスコープのチャンネルは以下のとおりです（図6参照）。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - ローサイドGaN FET Q4ゲート信号
- C3 - インダクタの電流
- C4 - スイッチ・ノードの電圧

aaa-033980

図6： シングルショット階段テストの波形

注：サチュレーションの回避と巻線の寄生キャパシタンス抑制を図るため、インダクタは空芯コイルのノンオーバーラップ型を使用しています。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

aaa-033981

図7： 最終パルスの拡大図

ゲート信号のマッチング、スイッチオフ時のダンピングとも良好で、発振が継続する心配もありません。

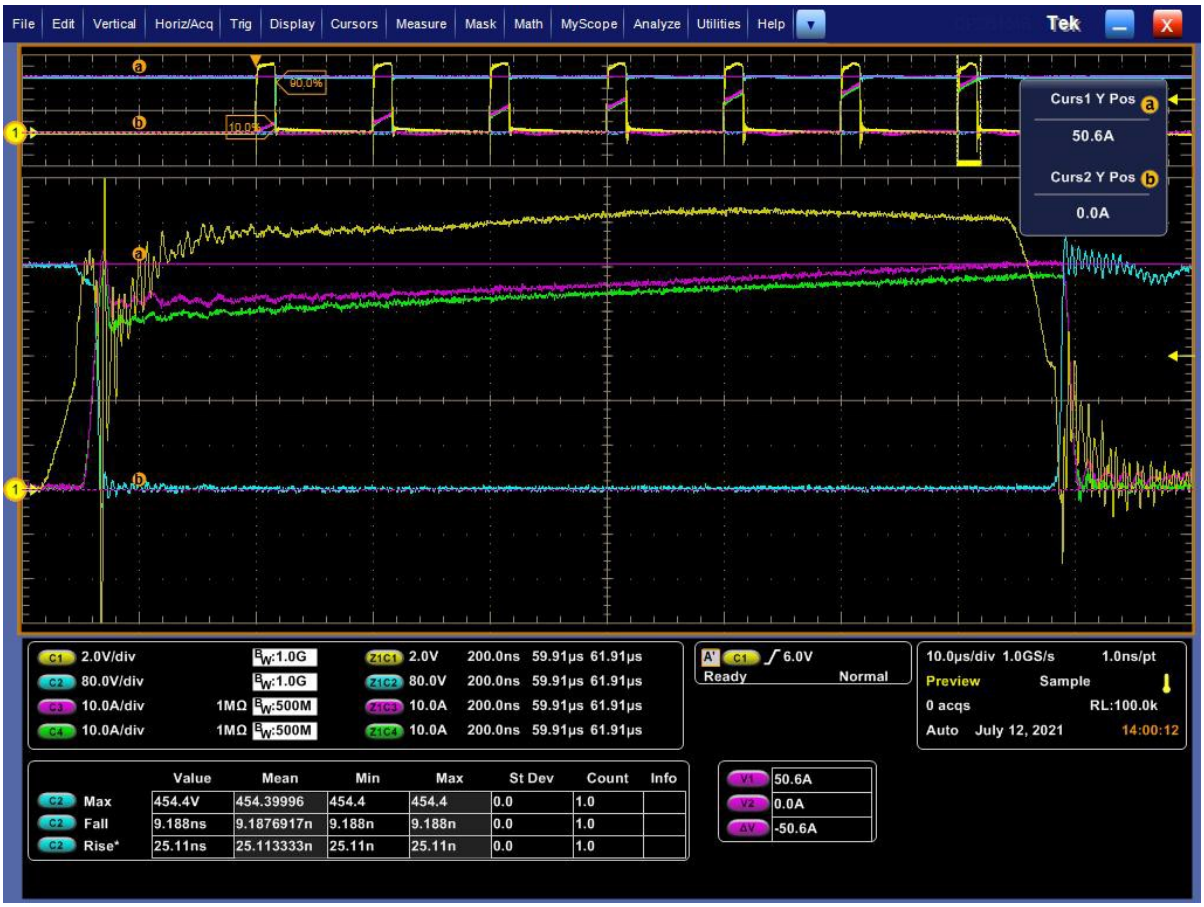
フェライトビーズのインピーダンスにより、内部ソースのインダクタンスのリンギングがGate端子で確認できます。フェライトのデカップリング効果であることがわかります。ゲート電位が高く維持されている場合は観測可能な電圧振動ではなく観測できない電流振動が発生し、それが結合して増幅されます。

図8も7つパルス、100kHzで行った階段テストにおけるGaN FET電流の測定値を示したものです。

オシロスコープのチャンネルは以下のとおりです。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - スイッチ・ノードの電圧
- C3 - ローサイドGaN FET Q2デバイス電流
- C4 - ローサイドGaN FET Q4デバイス電流

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved



aaa-033982

図8： 各GaN FETの電流

注：赤色と緑色の線はGaN FET電流の測定値で、デバイス間の電流シェアリングが良好であることを示しています。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

7. BUCKモードで稼働するシステムのパフォーマンス

本セクションではシステムがBUCKモードで動作している際のオシロスコープのトレースとテスト結果を示します。動作条件は以下のとおりです。

- 入力電圧 = 400V
- 出力電圧 = 225V
- 出力電力 = 6.6kW
- スイッチング周波数= 100 kHz
- 周辺温度 = 34 ° C

オシロスコープのチャンネルは以下のとおりです（図9参照）。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - ローサイドGaN FET Q4ゲート信号
- C3 - インダクタの電流
- C4 - スイッチ・ノードの電圧

aaa-033983

図9： BUCKモードで稼働するシステム

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

図10と図11は、ローサイドにおけるGaN FETのスイッチON時とスイッチOFF時の状況の拡大画面です。

aaa-033984

図10：ローサイドGaN FET Q2とQ4 - スイッチON時

aaa-033985

図11：ローサイドGaN FET Q2とQ4 - スイッチOFF時

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

スイッチング時、ゲート信号とスイッチ・ノード信号の電圧振動は非常に効果的に減衰しています。

図12はハイサイド電流を示したもので、オシロスコープのチャンネルは以下のとおりです。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - スイッチ・ノードの電圧
- C3 - ハイサイドGaN FET Q1デバイス電流
- C4 - ハイサイドGaN FET Q3デバイス電流

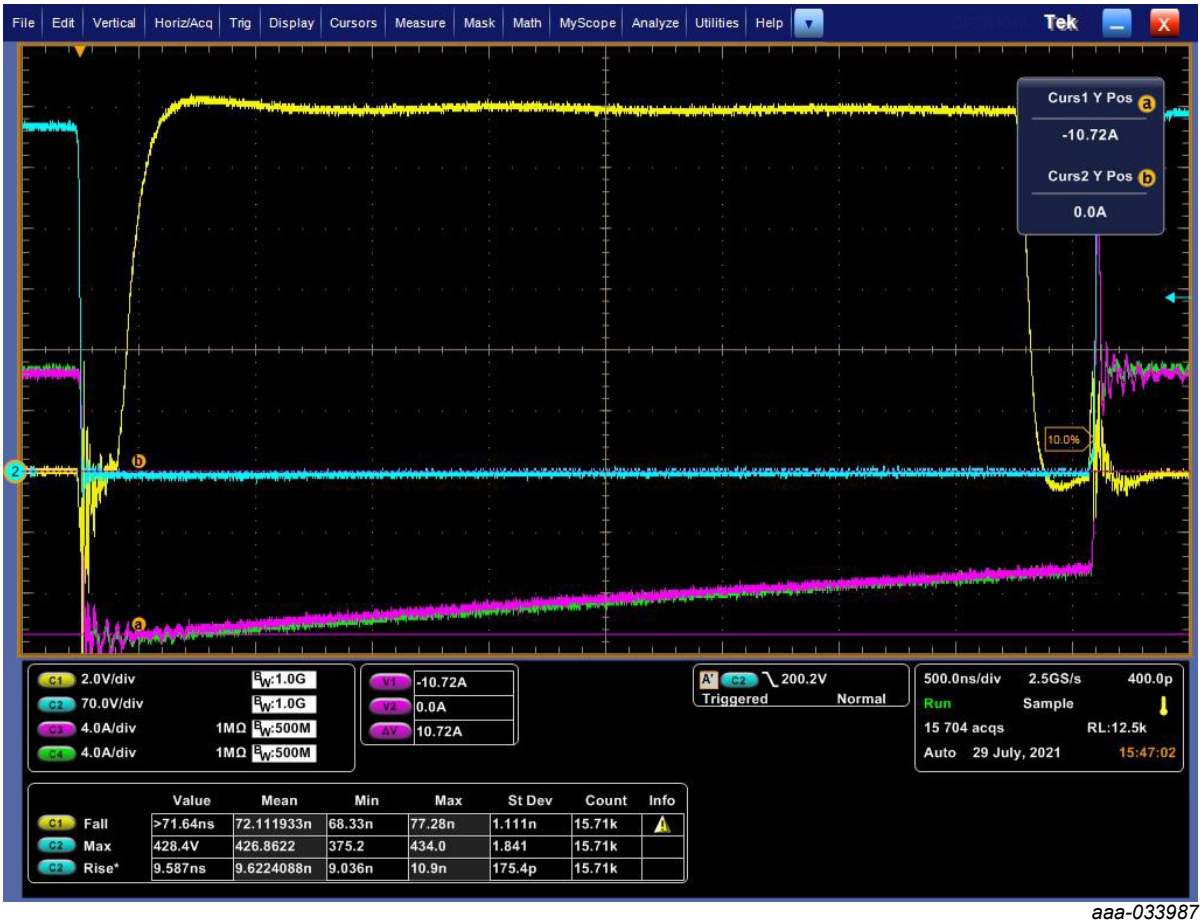
aaa-033986

図12：BUCKモードで稼働するシステム - ハイサイドのGaN FETを流れる電流

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

図13はローサイドのデバイスを流れる電流を示したもので、オシロスコープのチャンネルは以下のとおりです。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - スイッチ・ノードの電圧
- C3 - ローサイドGaN FET Q2デバイス電流
- C4 - ローサイドGaN FET Q4デバイス電流



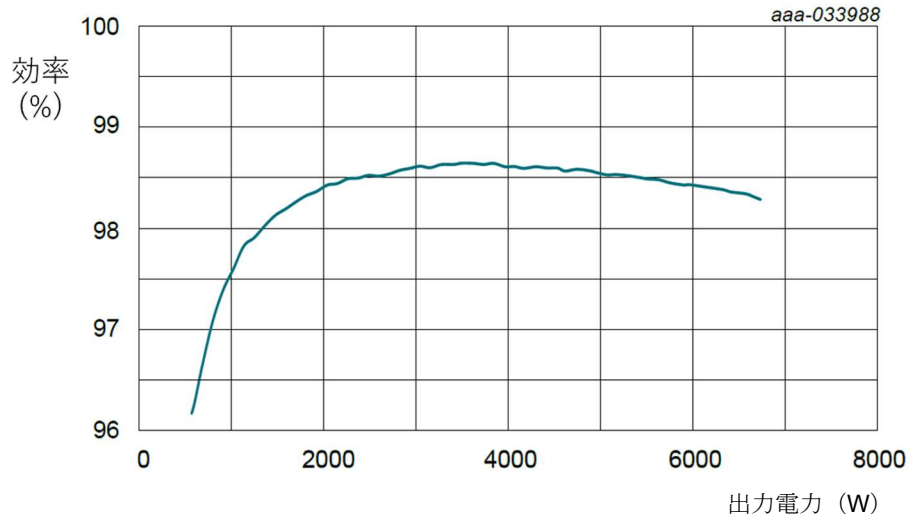
aaa-033987

図13：BUCKモードで稼働するシステム - ローサイドのGaN FETを流れる電流

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

7.1.スイープ効率とデバイス温度

図14はGAN041-650WSB GaN FETを2個並列接続し、BUCKモードで動作させた場合の効率測定結果です。



並列接続されたGaN FET「GAN041-650WSB」

図14：BUCKモードにおける効率と出力電力の関係

デバイス温度はマウント・ベース前面に接着した熱電対で測定されており、いずれも非常に近い値になっています。

- ハイサイドGaN FET Q1 = 69.6° C
- ハイサイドGaN FET Q3 = 74.9° C
- ローサイドGaN FET Q2 = 72.3° C
- ローサイドGaN FET Q4 = 69.1° C

この結果から、全デバイスの電流シェアリングと熱的接続が良好な状態にあることが確認されました。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

8. BOOSTモードで稼働するシステムのパフォーマンス

本セクションではシステムがBOOSTモードで動作している際のオシロスコープのトレースとテスト結果を示します。動作条件は以下のとおりです。

- 入力電圧 = 225V
- 出力電圧 = 400V
- 出力電力 = 6.6kW
- スイッチング周波数 = 100 kHz
- 周辺温度 = 32 ° C

オシロスコープのチャンネルは以下のとおりです（図15参照）。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - ローサイドGaN FET Q4ゲート信号
- C3 - インダクタの電流
- C4 - スイッチ・ノードの電圧

aaa-033989

図15：BOOSTモードで稼働するシステム

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

図16と図17は、それぞれスイッチON時とスイッチOFF時のローサイドGaN FETの拡大画面です。

aaa-033990

図16：ローサイドGaN FET Q2とQ4 - スイッチON時

aaa-0339915

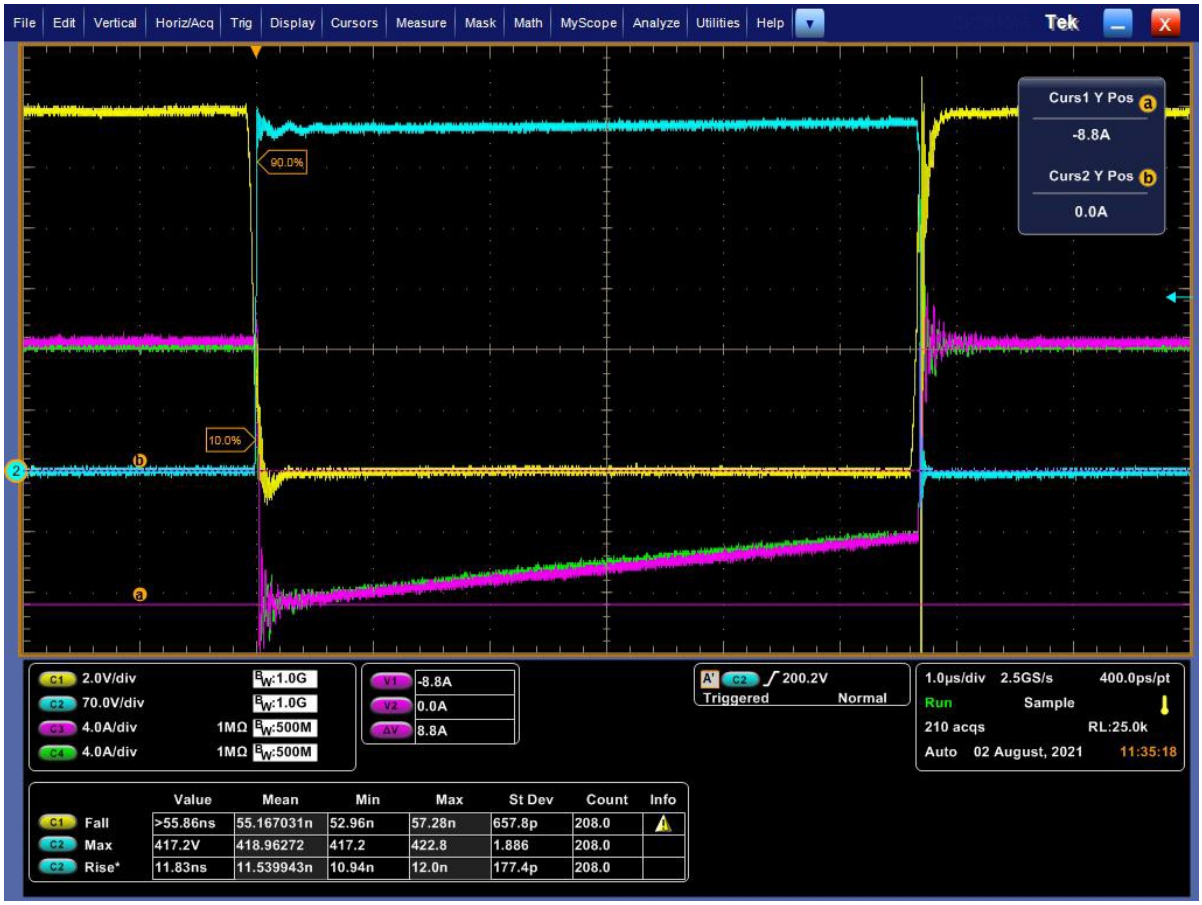
図17：ローサイドGaN FET Q2とQ4 - スイッチOFF時

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

スイッチング時、ゲート信号とスイッチ・ノード信号の電圧振動は非常に効果的に減衰しています。

図18はハイサイド電流を示したもので、オシロスコープのチャンネルは以下のとおりです。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - スイッチ・ノードの電圧
- C3 - ハイサイドGaN FET Q1デバイス電流
- C4 - ハイサイドGaN FET Q3デバイス電流



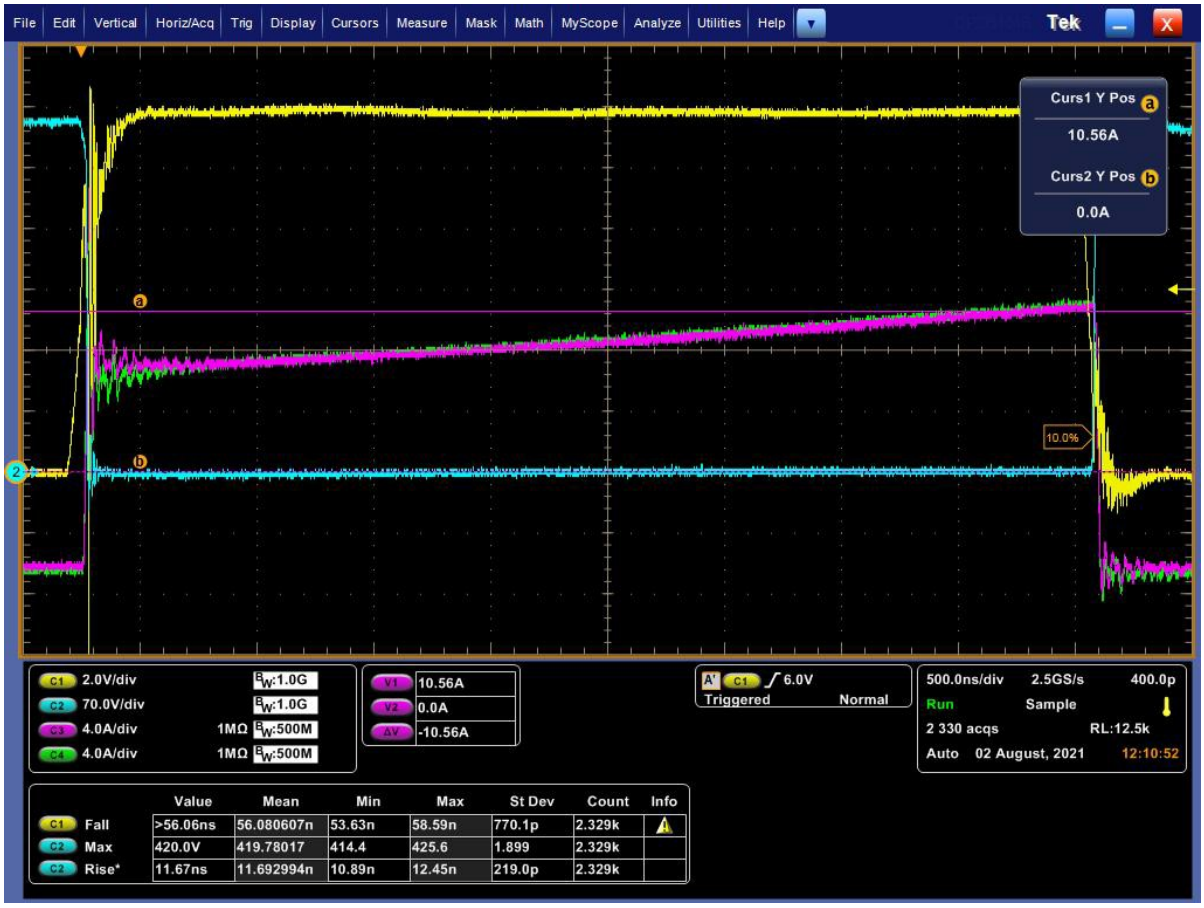
aaa-033992

図18：BOOSTモードで稼働するシステム - ハイサイドのGaN FETを流れる電流

図19はローサイドのデバイスを流れる電流を示したもので、オシロスコープのチャンネルは以下のとおりです。

- C1 - ローサイドGaN FET Q2ゲート信号
- C2 - スイッチ・ノードの電圧
- C3 - ローサイドGaN FET Q2デバイス電流
- C4 - ローサイドGaN FET Q4デバイス電流

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved



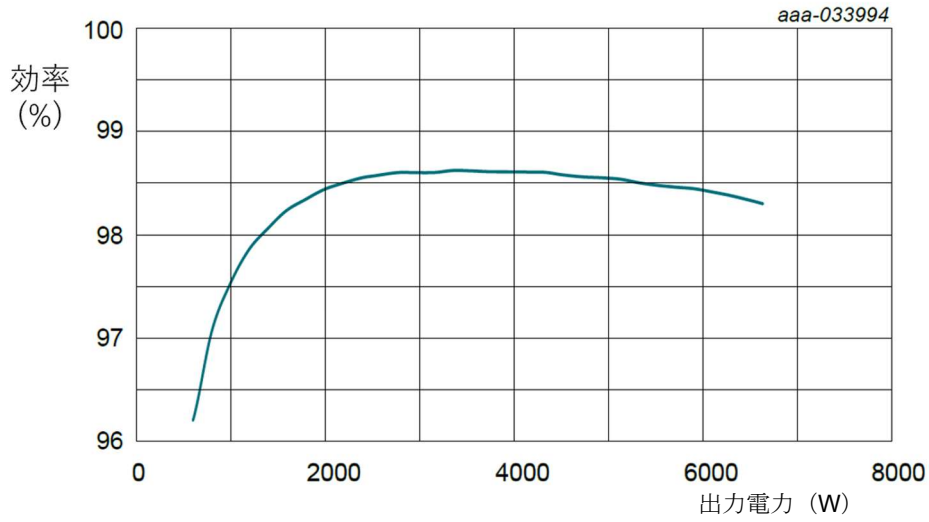
aaa-033993

図19：BOOSTモードで稼働するシステム - ローサイドのGaN FETを流れる電流

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

8.1.スイープ効率とデバイス温度

図20はGAN041-650WSB GaN FETを2個並列接続し、BOOSTモードで動作させた場合の効率測定結果です。



並列接続されたGaN FET「GAN041-650WSB」

図20：BOOSTモードにおける効率と出力電力の関係

デバイス温度はマウント・ベース前面に接着した熱電対で測定されており、いずれも非常に近い値になっています。

- ハイサイドGaN FET Q1 = 60.3° C
- ハイサイドGaN FET Q3 = 67.2° C
- ローサイドGaN FET Q2 = 78.0° C
- ローサイドGaN FET Q4 = 71.0° C

この結果から、全デバイスの電流シェアリングと熱的接続が良好な状態にあることが確認されました。

9. プローブに関する考慮事項

Nexperiaのアプリケーション・ノートAN90004[3]『*Probing considerations for fast switching applications*（高速スイッチング・アプリケーションにおけるプローブに関する考慮事項）」に従い、スイッチング回路の正確な測定にご活用ください。

なお、ローサイドのグランド・スプリングはパッケージのソース・ピンに直接ハンダ付けするか、メイン電流を流さない「静かな」グランド接続にハンダ付けする必要があります。

10. 設計の詳細

本アプリケーション・ノートに記載されているハーフブリッジコンバータ回路は外層に2オンス（約57g），内層に1.5オンス（約43g）の銅を使用した2枚の4層基板に実装されています。

次のセクションに2枚の回路図、PCBレイアウト、部品表を示します。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

10.1. パワー基板図

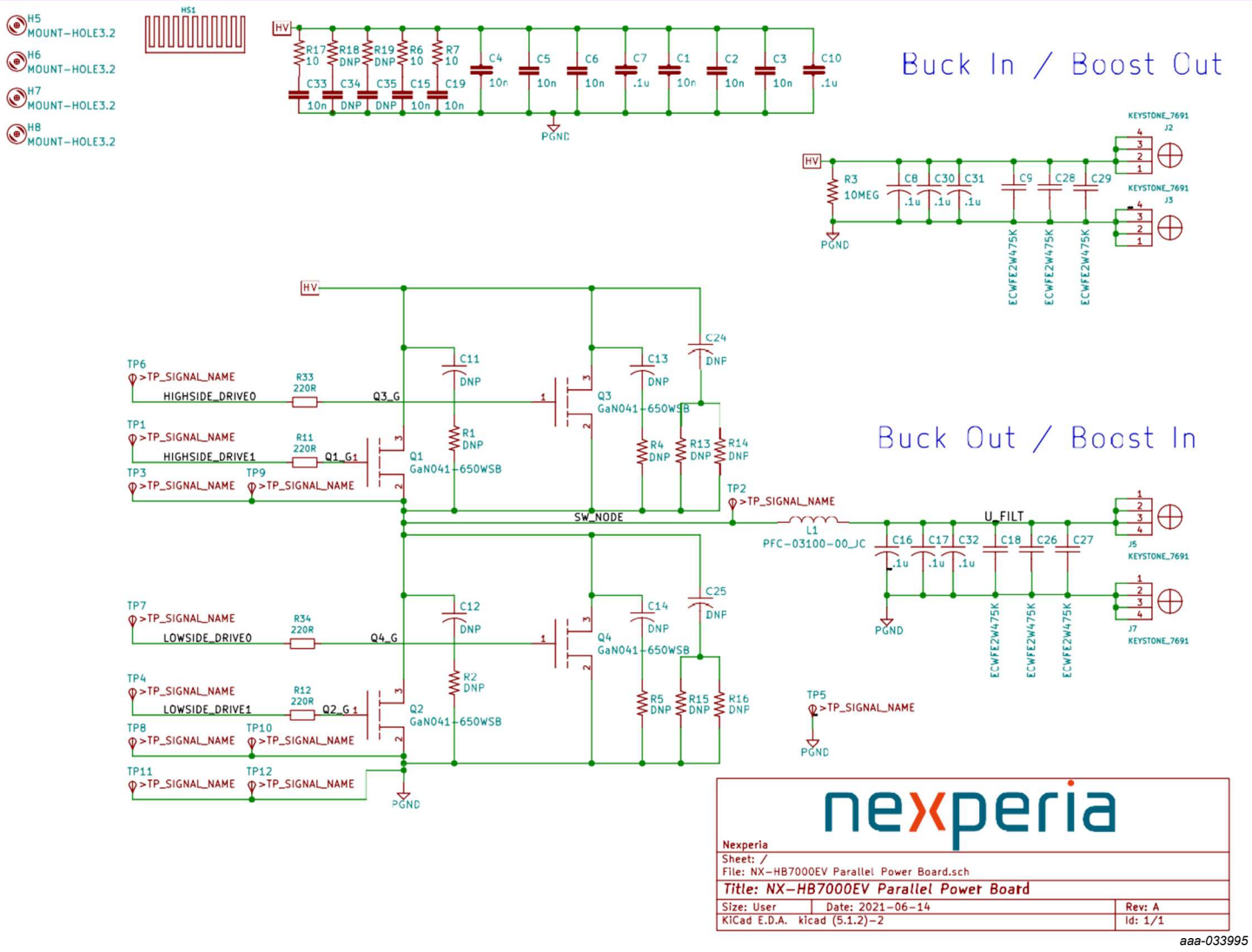


図21：パワー基板図

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

10.2. パワー基板PCBレイアウト、プレーン、トラッキング

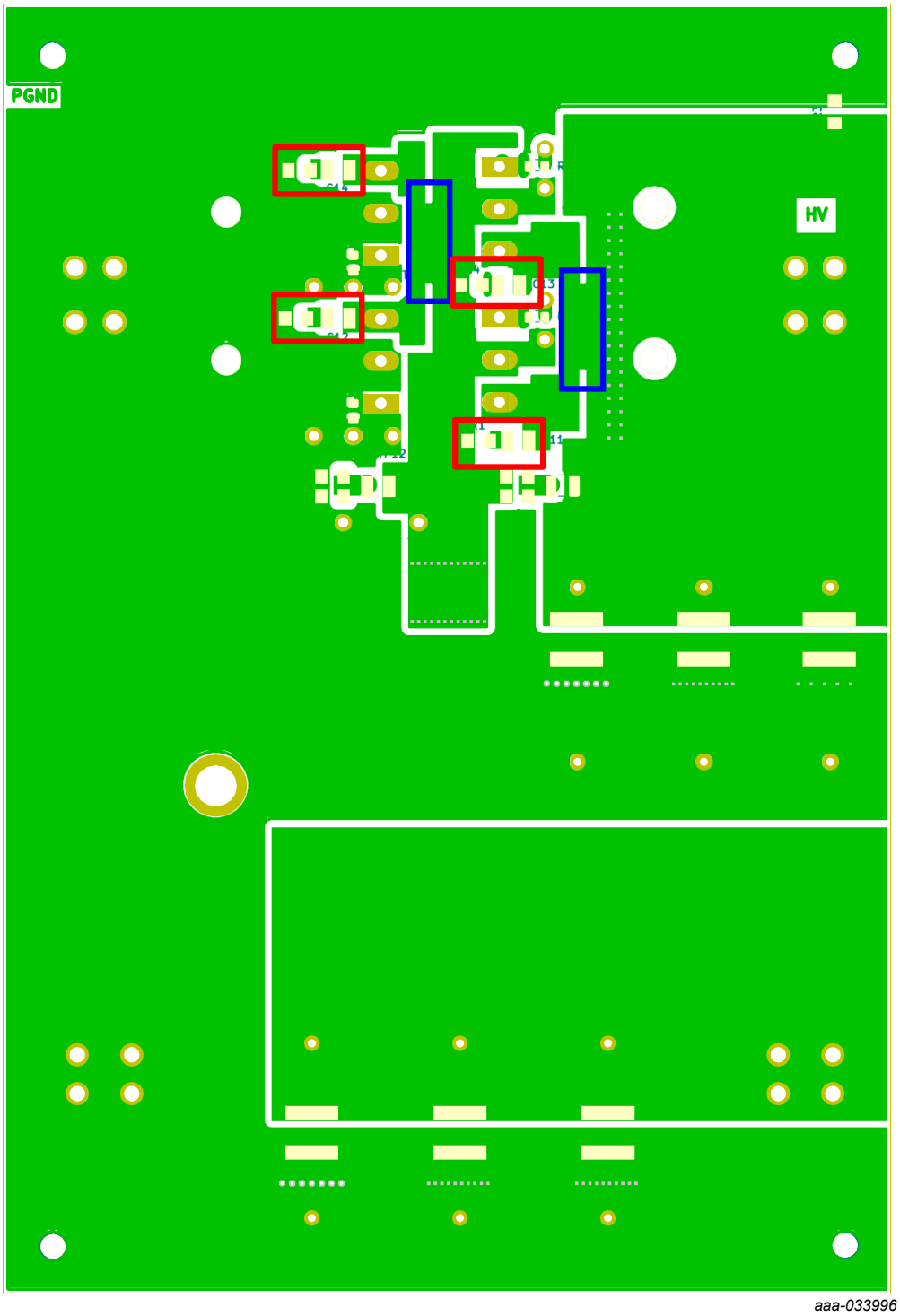


図22：パワー基板 - 最上層

ドレイン接続（青い四角）はスイッチ・ノードとHVに対して対称になっており、スナバ（赤い四角）はドレイン・ピンに直接配置され、プレーン間にステッチ・ビアが使用されています。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

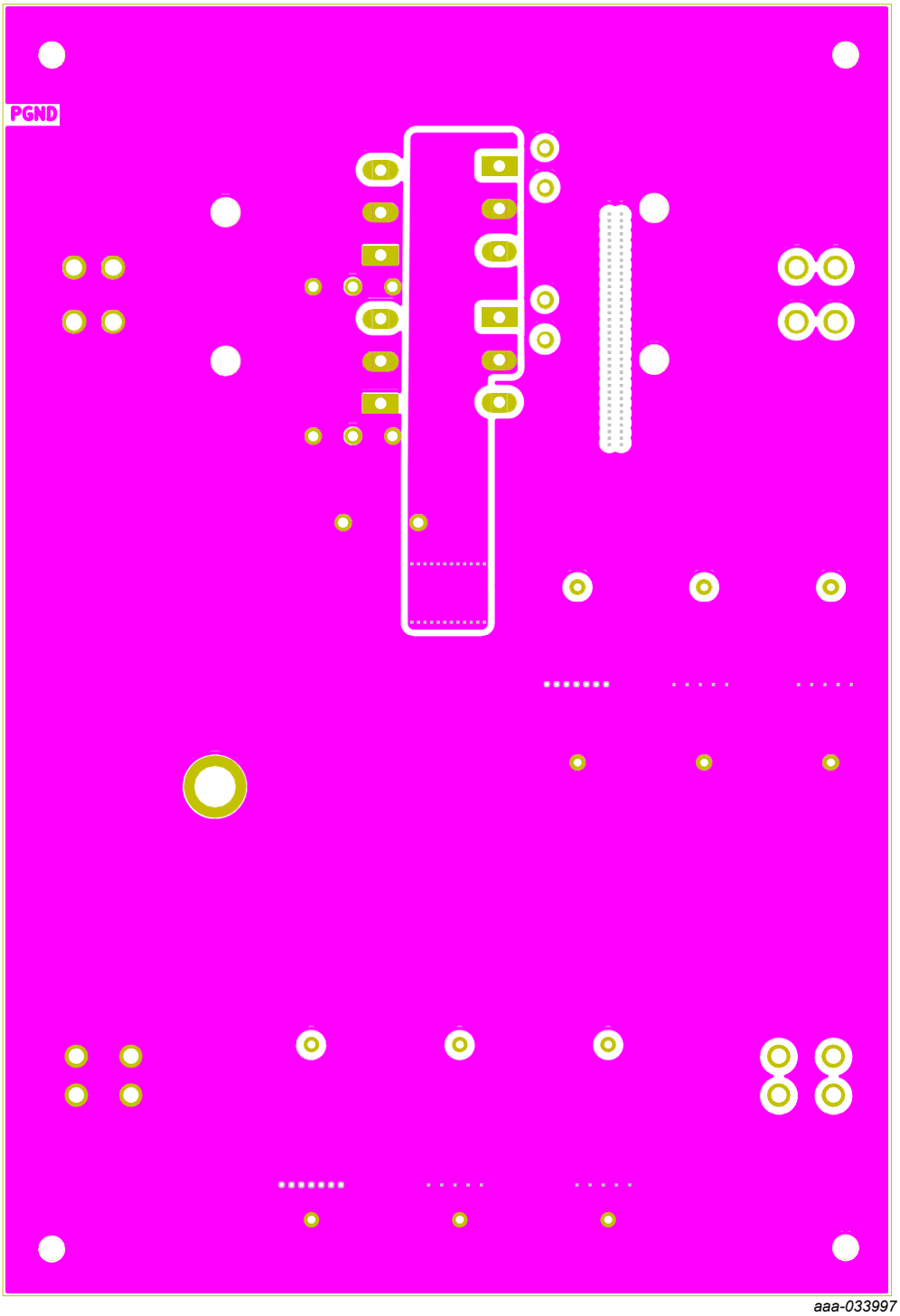


図23：パワー基板 - 内層1 - スイッチ・ノードとグランド・プレーン

スイッチ・ノードが非常に小型です。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

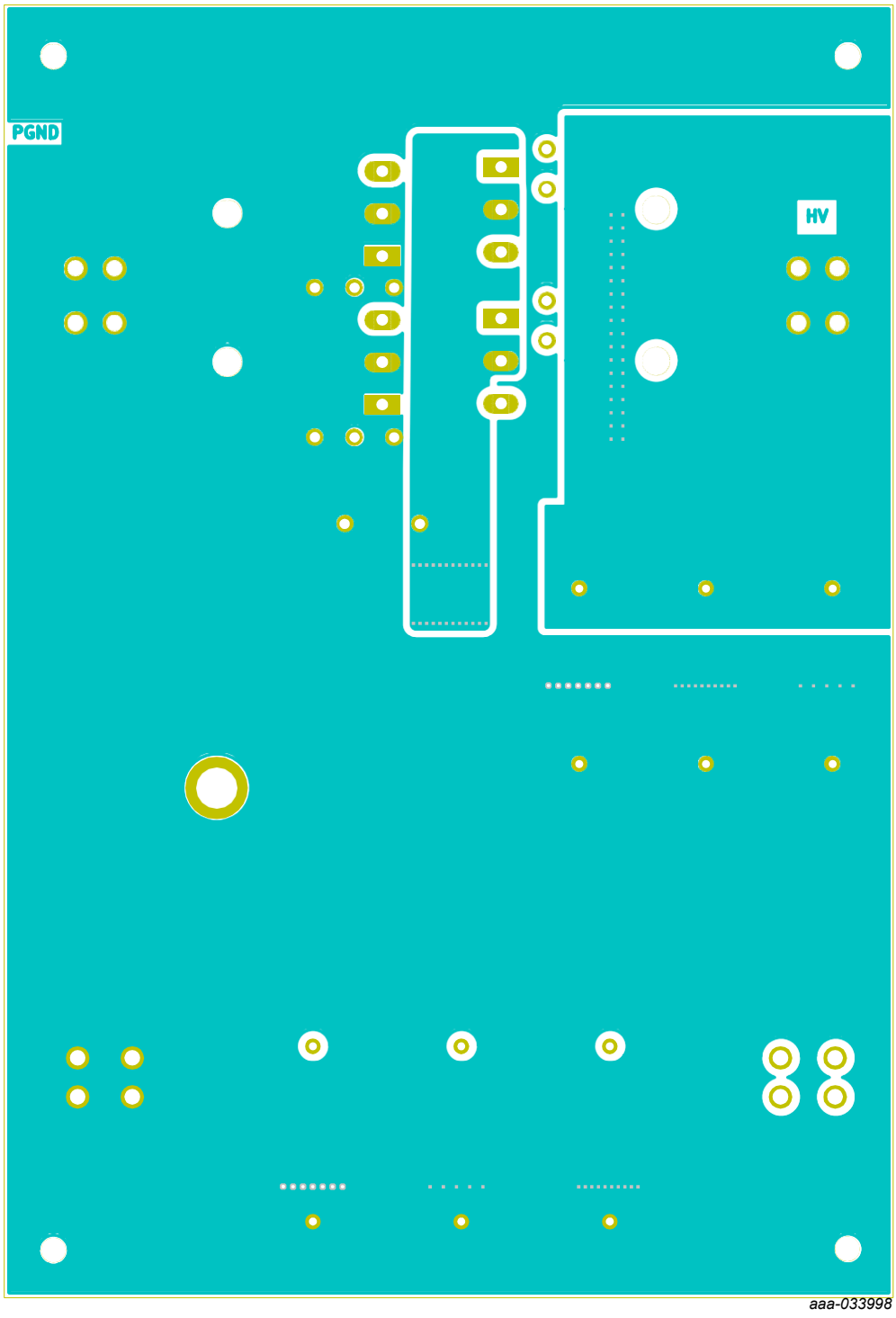


図24：パワー基板 - 内層2 - スイッチ・ノード、HV、グランド・プレーン

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

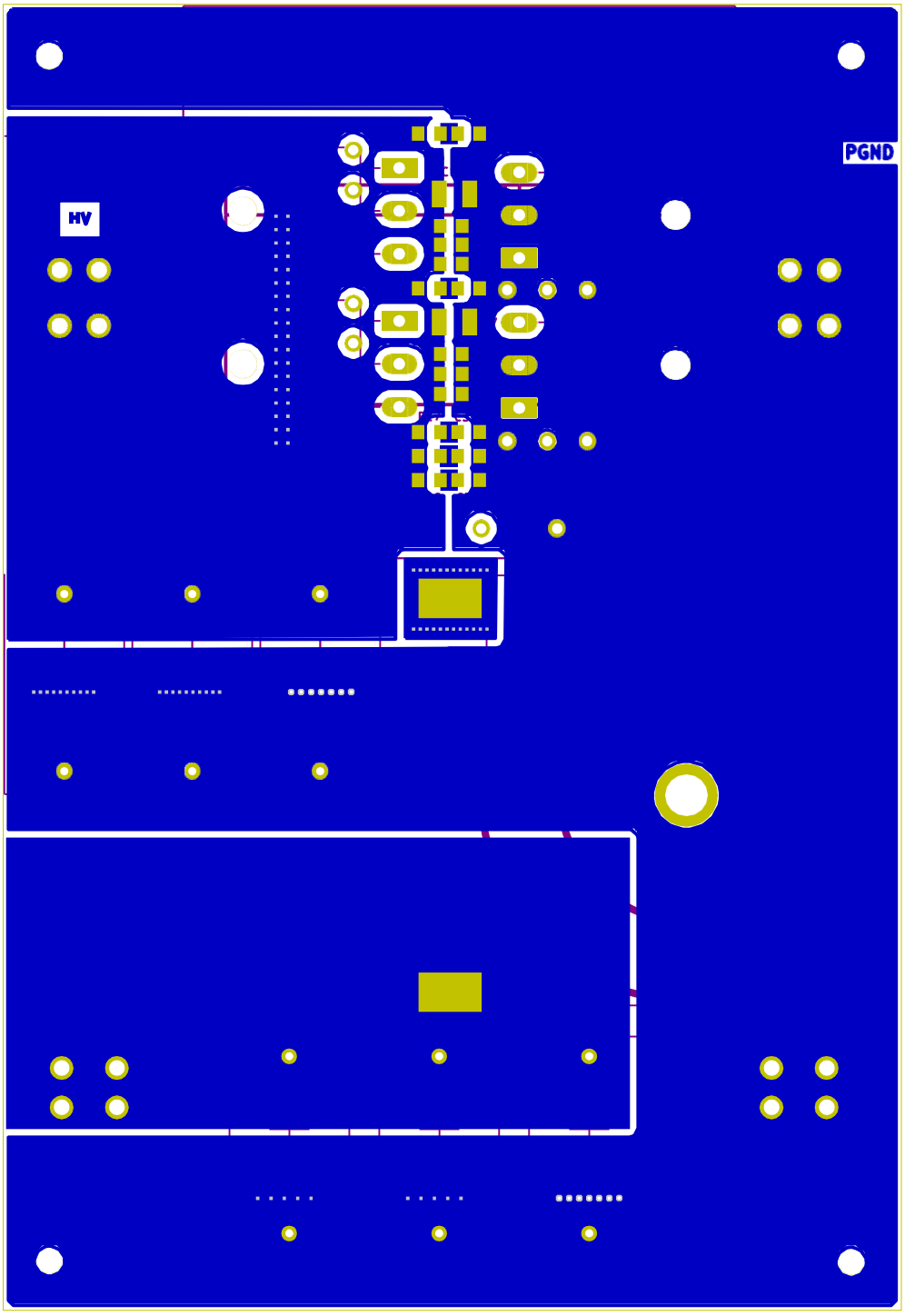


図25：パワー基板 - 最下層

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

10.3. パワー基板の部品表

表1：パワー基板の部品表

部品	数値	電圧	パッケージ	説明	サプライヤ	サプライヤP/N
C1	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C2	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C3	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C4	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C5	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C6	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C7	100n	1 kV	C1812	コンデンサ、セラミック	Farnell	2085218
C8	100n	1 kV	C2225	コンデンサ、セラミック	Farnell	1838767 または2896821
C9	2.2uF	630 V	PHE450_2U	コンデンサ、PPフィルム	RS	105-1057
C10	100n	1 kV	C1812	コンデンサ、セラミック	Farnell	2085218
C11	-	-	C1210	コンデンサ、セラミック	-	-
C12	-	-	C1210	コンデンサ、セラミック	-	-
C13	-	-	C1210	コンデンサ、セラミック	-	-
C14	-	-	C1210	コンデンサ、セラミック	-	-
C15	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C16	100n	1 kV	C2225	コンデンサ、セラミック	Farnell	1838767 または2896821
C17	100n	1 kV	C2225	コンデンサ、セラミック	Farnell	1838767 または2896821
C18	2.2uF	630 V	PHE450_2U	コンデンサ、PPフィルム	RS	105-1057
C19	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C24	-	-	C1210	コンデンサ、セラミック	-	-
C25	-	-	C1210	コンデンサ、セラミック	-	-
C26	2.2uF	630 V	PHE450_2U	コンデンサ、PPフィルム	RS	105-1057
C27	2.2uF	630 V	PHE450_2U	コンデンサ、PPフィルム	RS	105-1057
C28	2.2uF	630 V	PHE450_2U	コンデンサ、PPフィルム	RS	105-1057
C29	2.2uF	630 V	PHE450_2U	コンデンサ、PPフィルム	RS	105-1057
C30	100n	1 kV	C2225	コンデンサ、セラミック	Farnell	1838767 または2896821
C31	100n	1 kV	C2225	コンデンサ、セラミック	Farnell	1838767 または2896821
C32	100n	1 kV	C2225	コンデンサ、セラミック	Farnell	1838767 または2896821
C33	10n	630 V	C1206	コンデンサ、セラミック	Farnell	1759518
C34	-	-	C1210	コンデンサ、セラミック	-	-
C35	-	-	C1210	コンデンサ、セラミック	-	-
HS1			COOL_INNO_1	ヒートシンク	Cool Innovations	
J2			KEYSTONE _7691	スクリュー端子	Mouser	534-7691-SEMS
J3			KEYSTONE _7691	スクリュー端子	Mouser	534-7691-SEMS

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

J5			KEYSTONE _7691	スクリュー端子	Mouser	534-7691-SEMS
J7			KEYSTONE _7691	スクリュー端子	Mouser	534-7691-SEMS
L1	220uH					
Q1	GAN041-650WSB	650 V	TO-247	GaN FET	Nexperia	GAN041-650WSB
Q2	GAN041-650WSB	650 V	TO-247	GaN FET	Nexperia	GAN041-650WSB
Q3	GAN041-650WSB	650 V	TO-247	GaN FET	Nexperia	GAN041-650WSB
Q4	GAN041-650WSB	650 V	TO-247	GaN FET	Nexperia	GAN041-650WSB
R1	-	-	R1206	抵抗器	-	-
R2	-	-	R1206	抵抗器	-	-
R3	10MEG		R1206	抵抗器	Farnell	1469973
R4	-	-	R1206	抵抗器	-	-
R5	-	-	R1206	抵抗器	-	-
R6	10	-	R1206	抵抗器	Farnell	1738986
R7	10	-	R1206	抵抗器	Farnell	1738986
R11	220		0603	Ferrite	Farnell	1515674
R12	220		0603	Ferrite	Farnell	1515674
R13	-	-	R1206	抵抗器	-	-
R14	-	-	R1206	抵抗器	-	-
R15	-	-	R1206	抵抗器	-	-
R16	-	-	R1206	抵抗器	-	-
R17	10	-	R1206	抵抗器	Farnell	1738986
R18	-	-	R1206	抵抗器	-	-
R19	-	-	R1206	抵抗器	-	-
R33	220		0603	Ferrite	Farnell	1515674
R34	220		0603	Ferrite	Farnell	1515674
				アルミナ絶縁物	Mouser	532-4169G
				アルミナ絶縁物	Mouser	532-4169G
				アルミナ絶縁物	Mouser	532-4169G
				アルミナ絶縁物	Mouser	532-4169G
				冷却ファン	RS	922-6248
				スタンドオフ	Farnell	1733422
				スタンドオフ	Farnell	1733422
				スタンドオフ	Farnell	1733422
				スタンドオフ	Farnell	1733422
				スクリュー M3 x 6mm	RS	560-754
				スクリュー M3 x 6mm	RS	560-754
				スクリュー M3 x 6mm	RS	560-754
				スクリュー M3 x 6mm	RS	560-754
				PCB	PCBWay	NX-HB7000EV Parallel TO-247 Current Board Rev1.1

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

10.4. ドライバ基板図

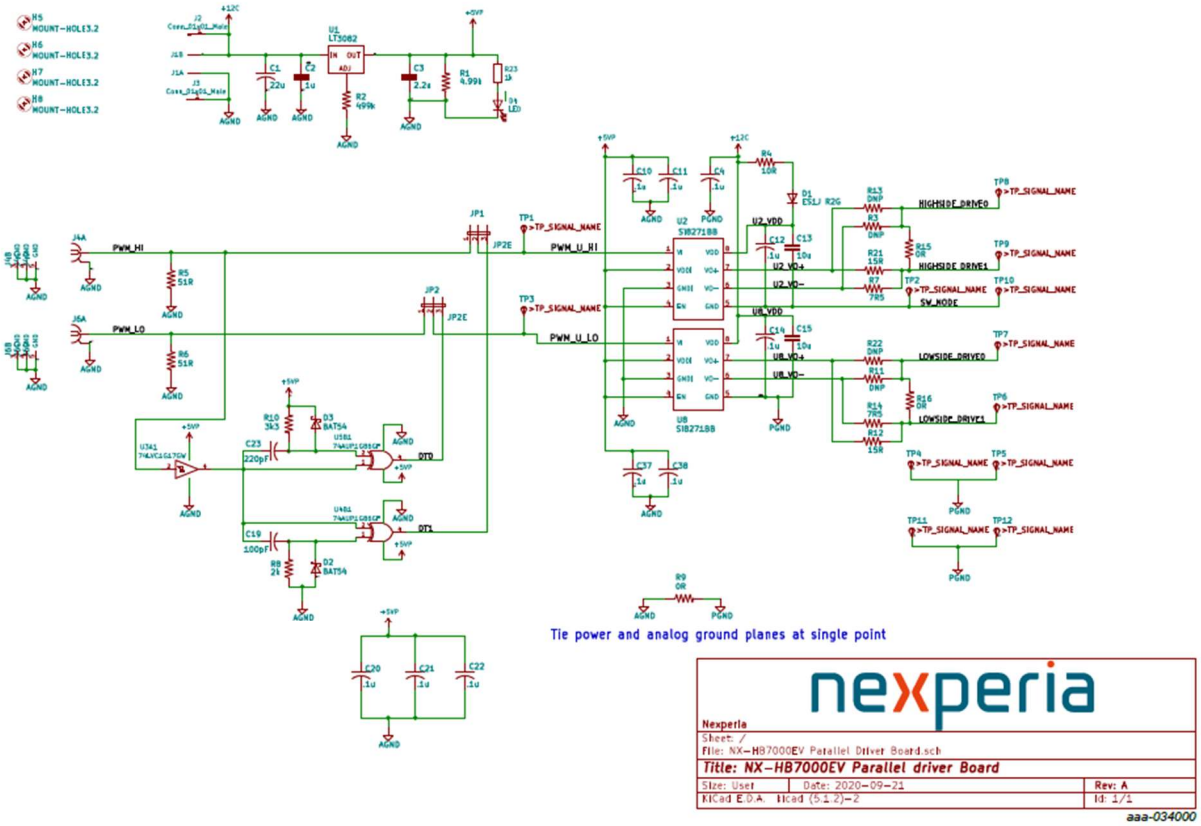


図26：ドライバ基板図

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

10.5. ドライバ基板PCBレイアウト、プレーン、トラッキング

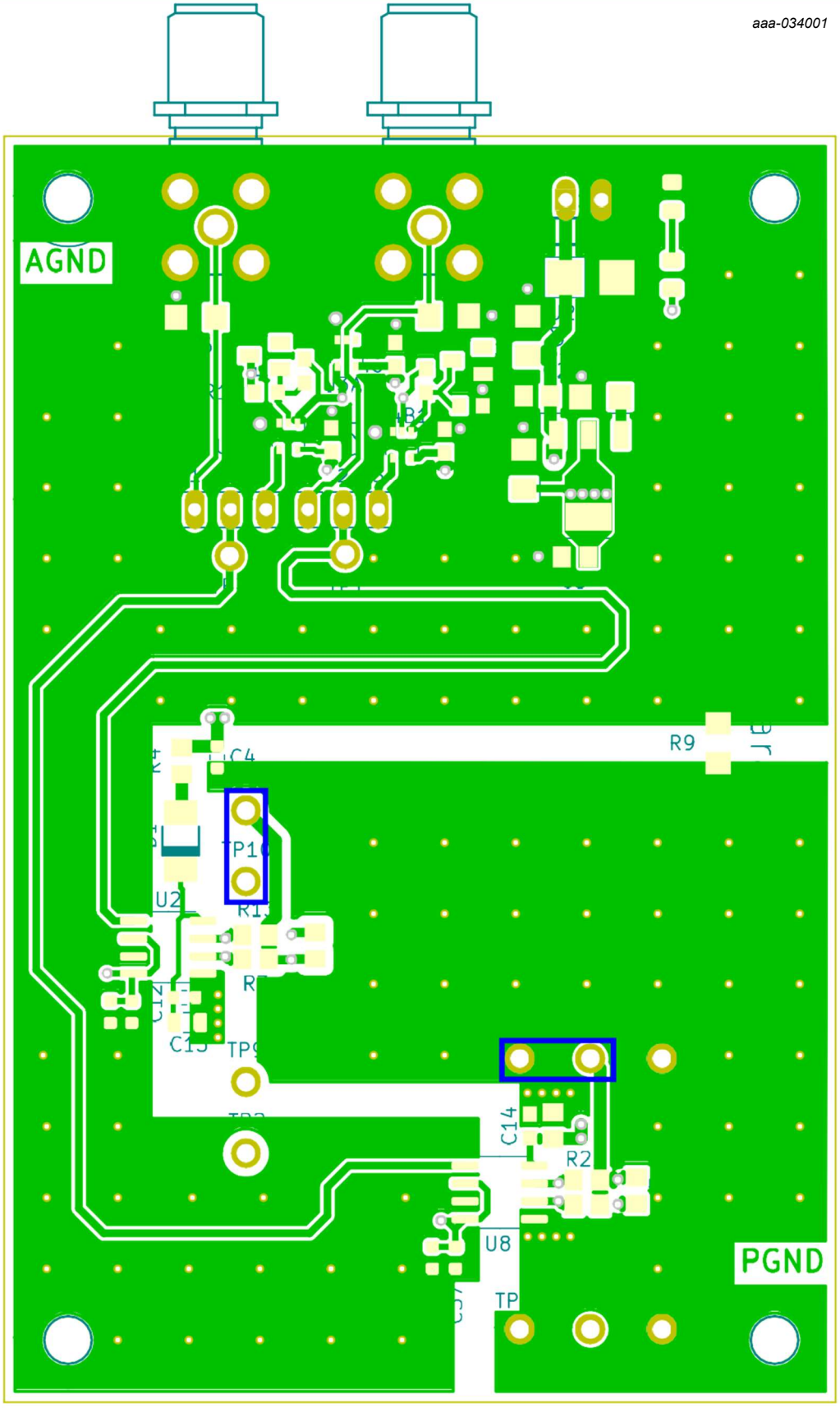


図27：ドライバ基板 - 最上層

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

最上層（図27）ではハイサイドとローサイドでGaN FETのゲート接続が対照的になっています（青い四角）。並列接続されたGaN FETのゲート接続は最下層に配線されています。

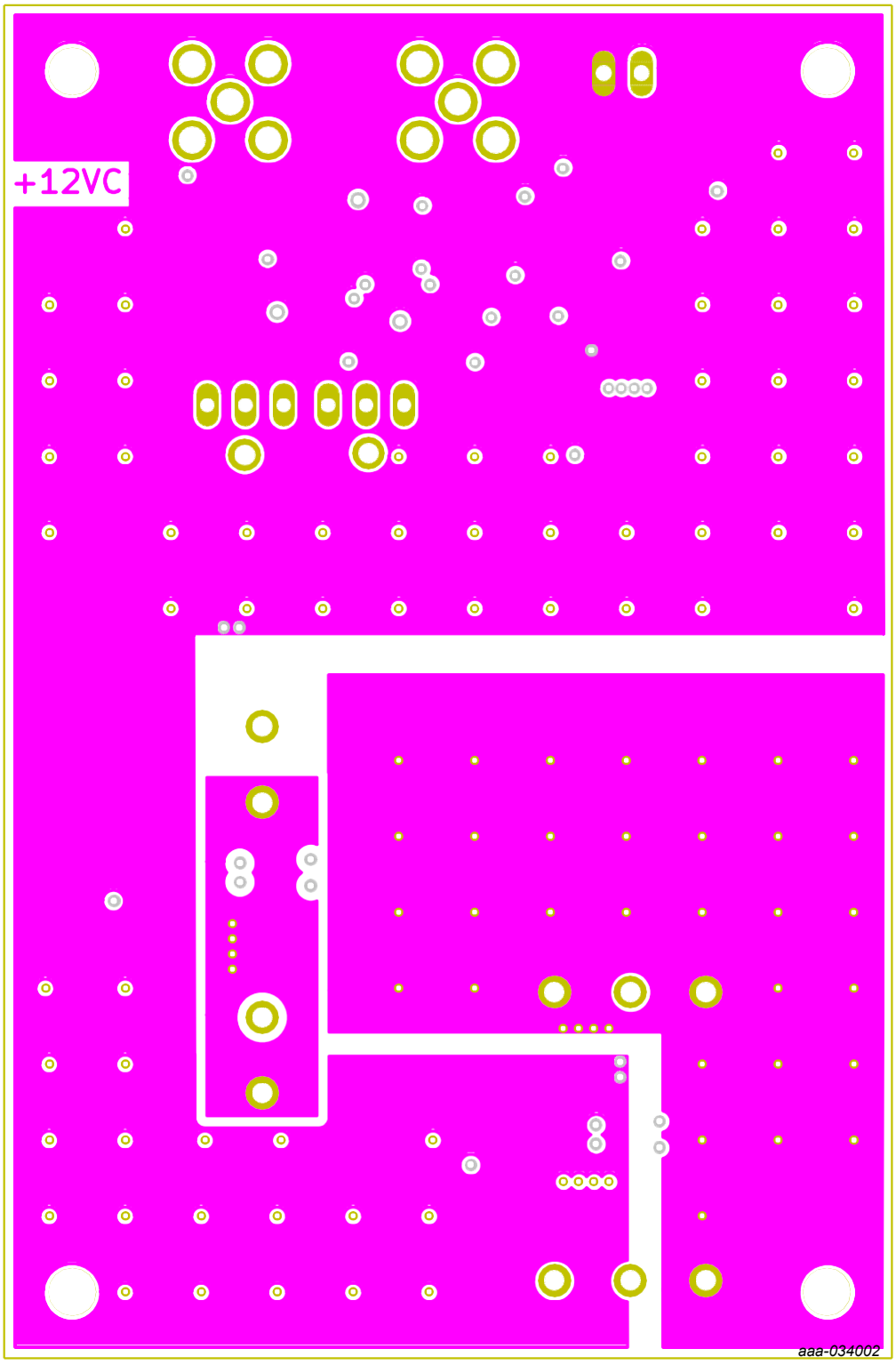


図28：ドライバ基板 - 内層1 - スイッチ・ノード、12V、アナログ・グランド・プレーン、パワー・グランド・プレーン

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

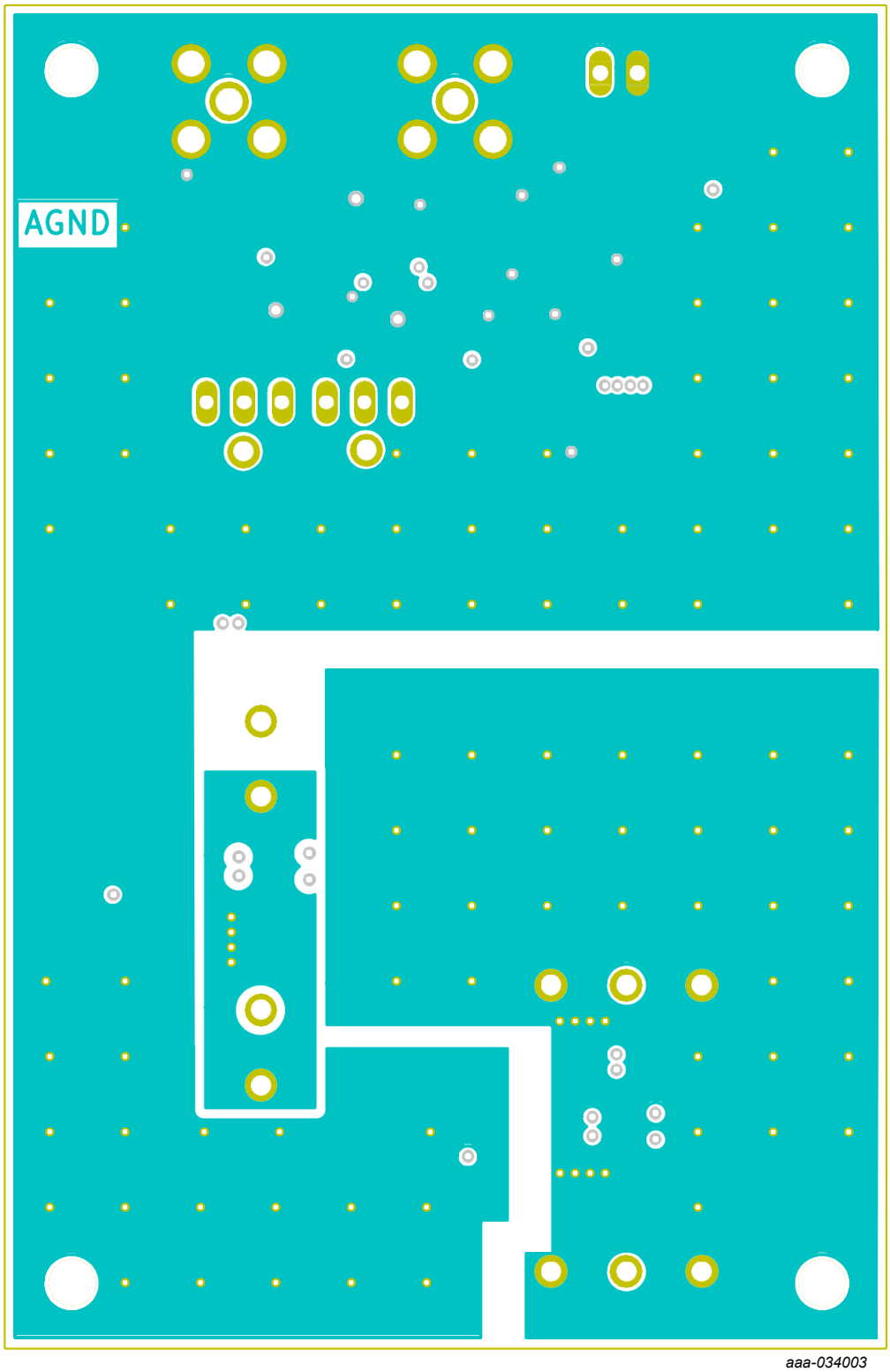


図29：ドライバ基板 - 内層2 - スイッチ・ノード、アナログ・グランド・プレーン、パワー・グランド・プレーン

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

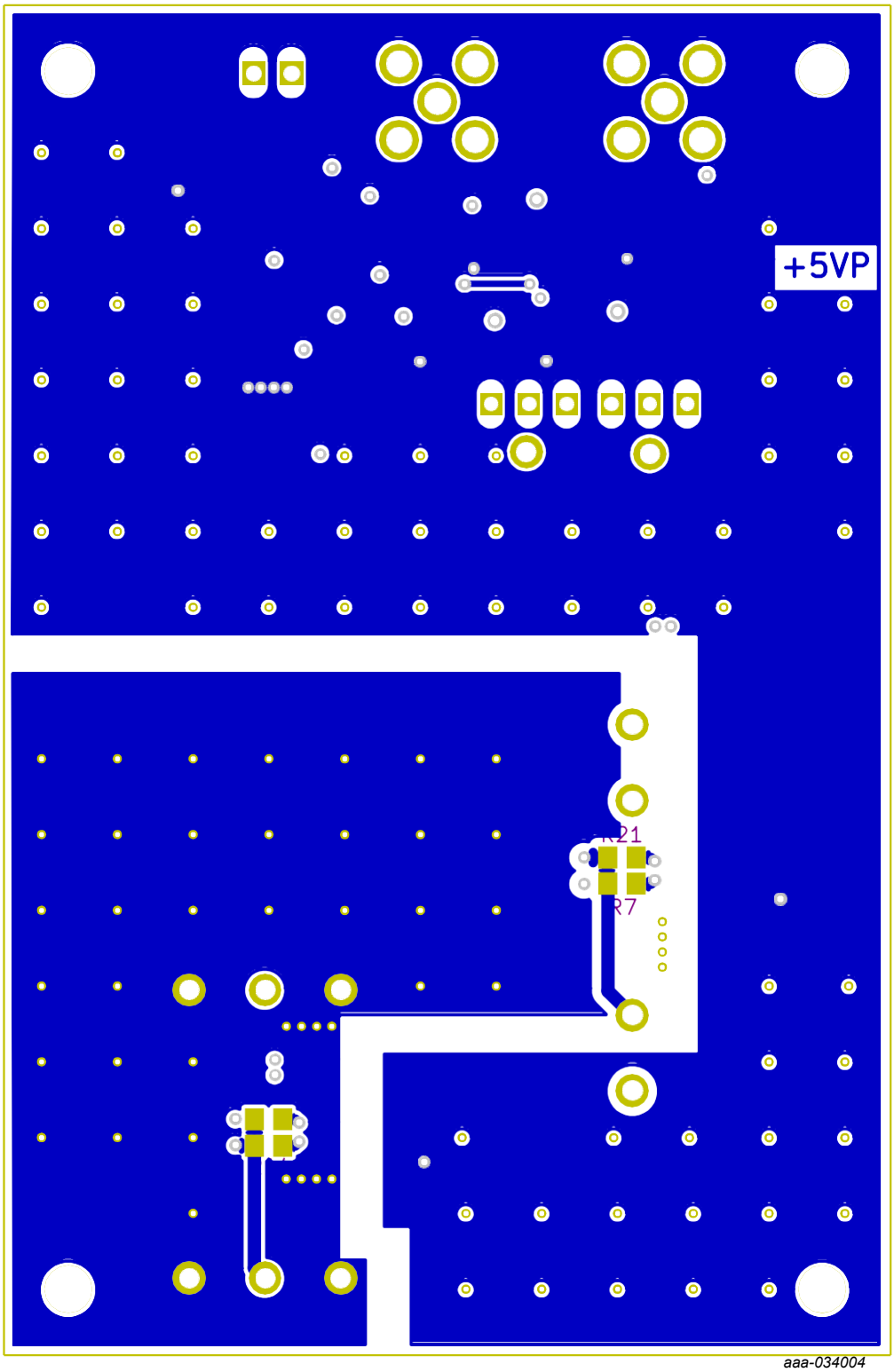


図30：ドライバ基板 - 最下層

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

10.6. ドライバ基板の部品表

表2：ドライバ基板の部品表

部品	数値	電圧	パッケージ	説明	サプライヤ	サプライヤP/N
C1	22uF	35 V	C1206	コンデンサ、セラミック	Farnell	2525173
C2	1uF	50 V	C0805	コンデンサ、セラミック	Farnell	2094043
C3	2.2uF	50 V	C0805	コンデンサ、セラミック	Farnell	2346931
C4	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C10	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C11	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C12	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C13	10uF	35 V	C0805	コンデンサ、セラミック	Farnell	2547034
C14	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C15	10uF	35 V	C0805	コンデンサ、セラミック	Farnell	2547034
C19	100pF	100 V	C0603	コンデンサ、セラミック C0G	Farnell	1740605
C20	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C21	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C22	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C23	220pF	50 V	C0603	コンデンサ、セラミック C0G	Farnell	498579
C37	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
C38	100nF	100 V	C0603	コンデンサ、セラミック	Farnell	2749806
D1	ES1J	600 V	DO-214AC	ダイオード	Farnell	3519291
D2	BAT54	30 V	SOT23	ダイオード、ショットキー	Nexperia	BAT54,215
D3	BAT54	30 V	SOT23	ダイオード、ショットキー	Nexperia	BAT54,215
D4	LED	-	D0805	LED、緑色	Farnell	2610419
J1	22-23-2021		2.54 mm	2ピンヘッダー	Farnell	1462926
J4	BU-SMA-G	-	BU-SMA-G	SMAメスコネクタ	Farnell	2112448
J6	BU-SMA-G	-	BU-SMA-G	SMAメスコネクタ	Farnell	2112448
JP1	-	-	2.54 mm	3ピンヘッダー	Farnell	1248150
JP2	-	-	2.54 mm	3ピンヘッダー	Farnell	1248150
R1	4.99k	-	R1206	抵抗器	Farnell	1470015
R2	499k	-	R1206	抵抗器	Farnell	1470019
R3	-	-	R0805	抵抗器	-	-
R4	10R	-	R0805	抵抗器	Farnell	2303326
R5	51R	-	R1206	抵抗器	Farnell	1470021
R6	51R	-	R1206	抵抗器	Farnell	1470021
R7	7R5	-	R0805	抵抗器	Farnell	3235185
R8	2k	-	R0603	抵抗器	Farnell	2059343
R9	0R	-	R1206	抵抗器	Farnell	1469963
R10	3k3	-	R0603	抵抗器	Farnell	2303173
R11	-	-	R0805	抵抗器	-	-
R12	15R	-	R0805	抵抗器	Farnell	1750730

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

R13	-	-	R0805	抵抗器	-	-
R14	7R5	-	R0805	抵抗器	Farnell	3235185
R15	0R	-	R0805	抵抗器	Farnell	9233750
R16	0R	-	R0805	抵抗器	Farnell	9233750
R21	15R	-	R0805	抵抗器	Farnell	1750730
R22	-	-	R0805	抵抗器	-	-
R23	1k	-	R0805	抵抗器	Farnell	1469847
U1	LT3082	-	SOT223-3	リニア・レギュレータ	Mouser	584-LT3082EST#PBF
U2	Si8271BB-IS	-	SOIC8	HI/LO ISOゲート・ドライバ	Farnell	2524443
U3A1	74LVC1G17GW	-	TSSOP-5	シュミット・トリガ・バッファー	Nexperia	74LVC1G17GW
U4B1	74HCT1G86GW	-	TSSOP-5	2入力X-ORゲート	Nexperia	74HCT1G86GW
U5B1	74HCT1G86GW	-	TSSOP-5	2入力X-ORゲート	Nexperia	74HCT1G86GW
U8	Si8271BB-IS	-	SOIC8	HI/LO ISOゲート・ドライバ	Farnell	2524443
				ショート・リンク	RS	251-8503
				ショート・リンク	RS	251-8503
				PCB	PCBWay	NX-HB7000EV Parallel TO-247 Driver Board Rev1.1

11. 概要

入念なレイアウト、ゲート・ドライブ間のインピーダンス・バランスと短いトラック長の確保、DCバス・スナバとデカップリングの正しい配置を行うことにより、誘導負荷を駆動する並列GaN FETで良好な電流シェアリングを実現することが可能です。それを4層FR4 PCBにリード付き部品を使用した例で実証します。

12. 参考文献

1. GAN041-650WSBデータシート
2. Si8271データシート
3. Nexperiaアプリケーション・ノート『AN90004』

13. 改訂履歴

表3：改訂履歴

改訂番号	日付	説明
2.0	2021年10月19日	セクション2とセクション4を微修正
1.0	2021年09月21日	第1版

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

14. 法的な記載事項

定義

ドラフト - 本書はドラフト版のみです本書の内容は社内レビュー中であり、正式な承認が得られていません。今後、修正/加筆される可能性があります。Nexperiaは本書に含まれる情報の正確性または完全性に関して、いかなる表明、保証をせず、情報を使用した結果に対していかなる責任も負わないものとします。

免責事項

限定保証と責任 - 本書に記載されている内容は、正確で信頼できるものであると考えられます。しかしながら、Nexperiaは情報の正確性または完全性について、明示または黙示を問わず、いかなる表明または保証を行うものではなく、
また、これらの情報を使用した結果に対して、いかなる責任も負わないものとします。Nexperiaは本書の内容のうち、当社以外の情報源から得られたものについては一切の責任を負いません。

Nexperiaは間接的、付随的、懲罰的、特別な損害または結果的損害（利益の損失、貯蓄の損失、事業の中断、製品の除去または交換に関する費用、手直し費用など）について、その損害が不法行為（過失を含む）、保証、契約違反またはその他の法的理論に基づいているかどうかにかかわらず、いかなる場合も責任を負わないものとします。

理由のいかんを問わず、またお客様が被る可能性のある損害にかかわらず、Nexperiaが本書記載の製品についてお客様に対して有する責任の総和および累積はNexperiaの商業販売条件に従って制限されるものとします。

変更権 - Nexperiaは本書に掲載された情報（仕様および製品説明を含むがこれに限定されない）をいつでも予告なく変更する権利を有するものとします。本書の内容は以前に発表されたすべての情報を更新し、置き換えるものです。

使用時の適合性 - Nexperia 製品は故障や誤作動が人身事故、死亡事故、深刻な財産の損害/環境破壊につながることが合理的に予想される場合において、
生命維持装置/システム、生命維持に不可欠な装置/システム、安全性が極めて重要な装置/システムとしての使用に適した設計、認可、保証がされていません。NexperiaおよびそのサプライヤはNexperia製品を上記の機器や用途に組み込んだり、使用したりすることに関して一切の責任を負いません。そのような行為にあたってはお客様の責任において行ってください。

アプリケーション - 本書で記載されている製品のアプリケーションは例示を目的としたものに過ぎません。Nexperiaは本書で記載するアプリケーションがさらなるテストや修正を行わずに特定の用途に適合することを表明または保証するものではありません。

Nexperia製品を使用してアプリケーションや製品の設計/運用を行うことはお客様の責任であり、Nexperiaはアプリケーションやお客様の製品設計に関するいかなるサポートも提供しません。Nexperia製品がお客様のアプリケーションや製品、
またお客様のサードパーティー顧客の用途や使用に適しているかどうかは、お客様の責任において判断してください。
お客様はアプリケーションや製品に関連するリスクを最小化するために、適切な設計および運用のセーフガードを提供する必要があります。

Nexperiaはお客様のアプリケーションや製品、またはお客様のサードパーティー顧客のアプリケーションや使用に起因する不具合、損害、費用、問題に対して一切の責任を負わないものとします。お客様はNexperia製品を使用するアプリケーションおよび製品、またはお客様のサードパーティー顧客によるアプリケーションまたは使用の不履行を回避するために、必要なすべてのテストを行う責任を負うものとします。Nexperiaはこの点に関して、いかなる責任も負わないものとします。

輸出管理 - この文書およびここに記載されている品目は輸出管理規制の対象となる場合があります。輸出する場合は所轄官庁の事前承認が必要な場合があります。

翻訳 - 英語以外の（翻訳された）ドキュメントはあくまで参考用途としてご使用ください。翻訳版と英語版の間に矛盾がある場合、英語版が優先されるものとします。

商標

注：本書で参照されるすべてのブランド、製品名、サービス名および商標はそれぞれの所有者の所有物です。

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

表一覧

表1：パワー基板の部品表 25
表2：ドライバ基板の部品表.....32
表3：改訂履歴 33

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

図一覧

図1：ハーフブリッジで並列接続されたGaN FETの機能ブロック・ダイアグラム 2
図2：ゲート・ドライバPCBトラック長 3
図3：バス・スナバRCネットワークとデカップリング・コンデンサの回路図 4
図4：バス・スナバRCネットワークとデカップリング・コンデンサのPCBレイアウト 5
図5：PCB電流経路 6
図6：シングルショット階段テストの波形 7
図7：最終パルスの拡大図 8
図8：各GaN FETの電流 9
図9：BUCKモードで稼働するシステム 10
図10：ローサイドGaN FET Q2とQ4 - 電源ON時 11
図11：ローサイドGaN FET Q2とQ4 - 電源OFF時 11
図12：BUCKモードで稼働するシステム - ハイサイドのGaN FETを流れる電流 12
図13：BUCKモードで稼働するシステム - ローサイドのGaN FETを流れる電流 13
図14：BUCKモードにおける効率と出力電力の関係 14
図15：BOOSTモードで稼働するシステム 15
図16：ローサイドGaN FET Q2とQ4 - 電源ON時 16
図17：ローサイドGaN FET Q2とQ4 - 電源OFF時 16
図18：BOOSTモードで稼働するシステム - ハイサイドのGaN FETを流れる電流 17
図19：BOOSTモードで稼働するシステム - ローサイドのGaN FETを流れる電流 18
図20：BOOSTモードにおける効率と出力電力の関係 19
図21：パワー基板図 20
図22：パワー基板 - 最上層 21
図23：パワー基板 - 内層1 - スイッチ・ノードとグランド・プレーン 22
図24：パワー基板 - 内層2 - スイッチ・ノード、HV、グランド・プレーン 23
図25：パワー基板 - 最下層 24
図26：ドライバ基板図 27
図27：ドライバ基板 - 最上層 28
図28：ドライバ基板 - 内層1 - スイッチ・ノード、12Vアナログ・グランド・プレーン、パワー・グランド・プレーン 29
図29：ドライバ基板 - 内層2 - スイッチ・ノード、アナログ・グランド・プレーン、パワー・グランド・プレーン .30
図30：ドライバ基板 - 最下層 31

本書に記載されている内容は法的な免責事項の対象となります。
© Nexperia B.V. 2021 All rights reserved

目次

1. はじめに 2
2. 電流シェアリングのハーフブリッジ・トポロジー 2
3. ゲート・ドライバ設計における考慮事項 3
3.1. ゲート・ドライバICにおける考慮事項 3
3.2. ゲート・フェライトビーズと抵抗 4
4. DCバス・スナバとデカップリング 4
4.1. スイッチング・ノード・スナバ 5
4.2. 熱に関する考慮事項 5
5. 電流シェアリングを最適化するレイアウト 5
6. シングルショット階段テストで捉えた波形 7
7. BUCKモードで稼働するシステムのパフォーマンス 10
7.1. スイープ効率とデバイス温度 14
8. BOOSTモードで稼働するシステムのパフォーマンス 15
8.1. スイープ効率とデバイス温度 19
9. プローブに関する考慮事項 19
10. 設計の詳細 19
10.1. パワー基板図 20
10.2. パワー基板PCBレイアウト、プレーン、トラッキング 21
10.3. パワー基板の部品表 25
10.4. ドライバ基板図 27
10.5. ドライバ基板PCBレイアウト、プレーン、トラッキング 28
10.6. ドライバ基板の部品表 32
11. 概要 33
12. 参考文献 33
13. 改訂履歴 33
14. 法的な記載事項 34

© Nexperia B.V. 2021 All rights reserved

詳しくはhttp://www.nexperia.comをご覧ください。
営業所のアドレスについては、以下までお問い合わせください。salesaddresses@nexperia.com
発行日：2021年10月19日